

## TD 2

### Câblage et gestion de la mémoire

#### Exercice 1 :

On donne à la page suivante, un schéma partiel d'une carte à base d'un microprocesseur générique 8 bits. On suppose que le cycle d'accès mémoire de ce microprocesseur en lecture comme en écriture est conforme à celui des mémoires et que les adresses sont maintenues par le microprocesseur pendant toute la durée du cycle machine. Compte tenu des contraintes de localisation des mémoires (spécifiées sur le schéma), il vous est demandé de réaliser le schéma complet de cette carte.

Pour cela, la démarche à suivre peut se résumer par les points suivants :

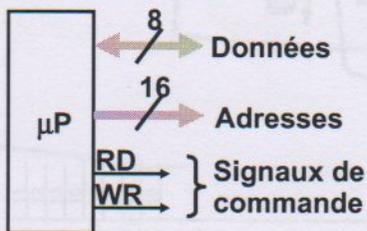
- 1.1) Identification des composants - leur capacité
- 1.2) Connexion au bus de données, des signaux de commande, au bus d'adresses
- 1.3) Câblage des Chip Select
  - Câblage des composants mémoire U1, U2, U3
  - Simplifications éventuelles compte tenu des boîtiers en présence
- 1.4) Plan mémoire de la solution retenue

#### Exercice 2 :

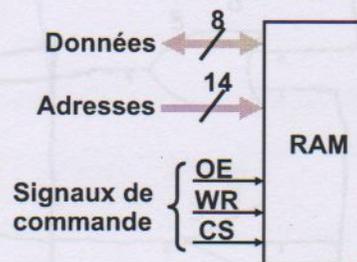
Etude du choix adéquat des adresses mémoires

Soient les composants suivants :

- un microprocesseur 8bits



-une mémoire de type RAM



Déterminer le décodage pour que la mémoire débute strictement aux adresses suivantes :

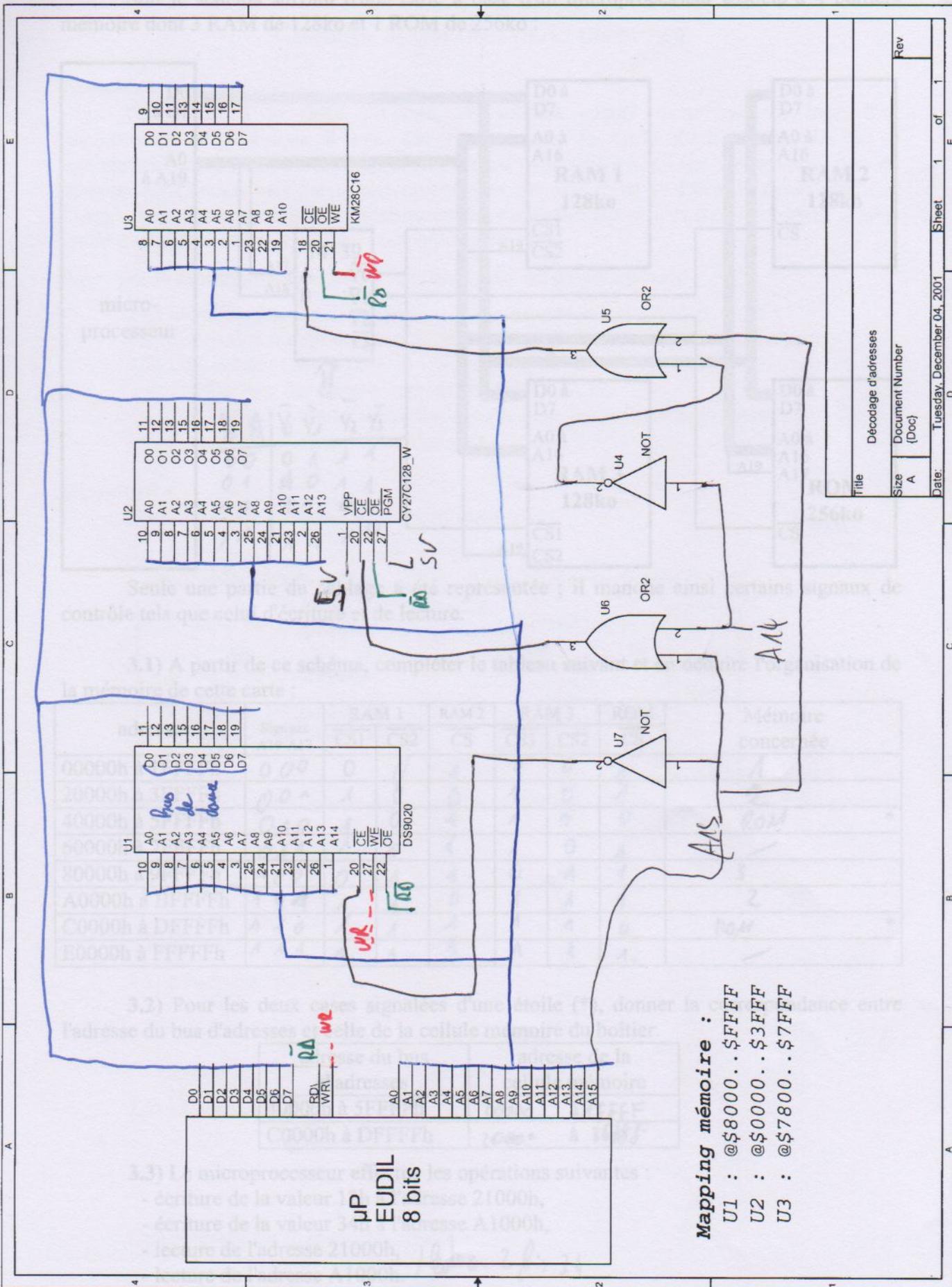
2.1) à l'adresse 4000h

2.2) à l'adresse 2000h

2.3) à l'adresse 3000h

Que conclure sur le choix des adresses ?

Exercice 3 :

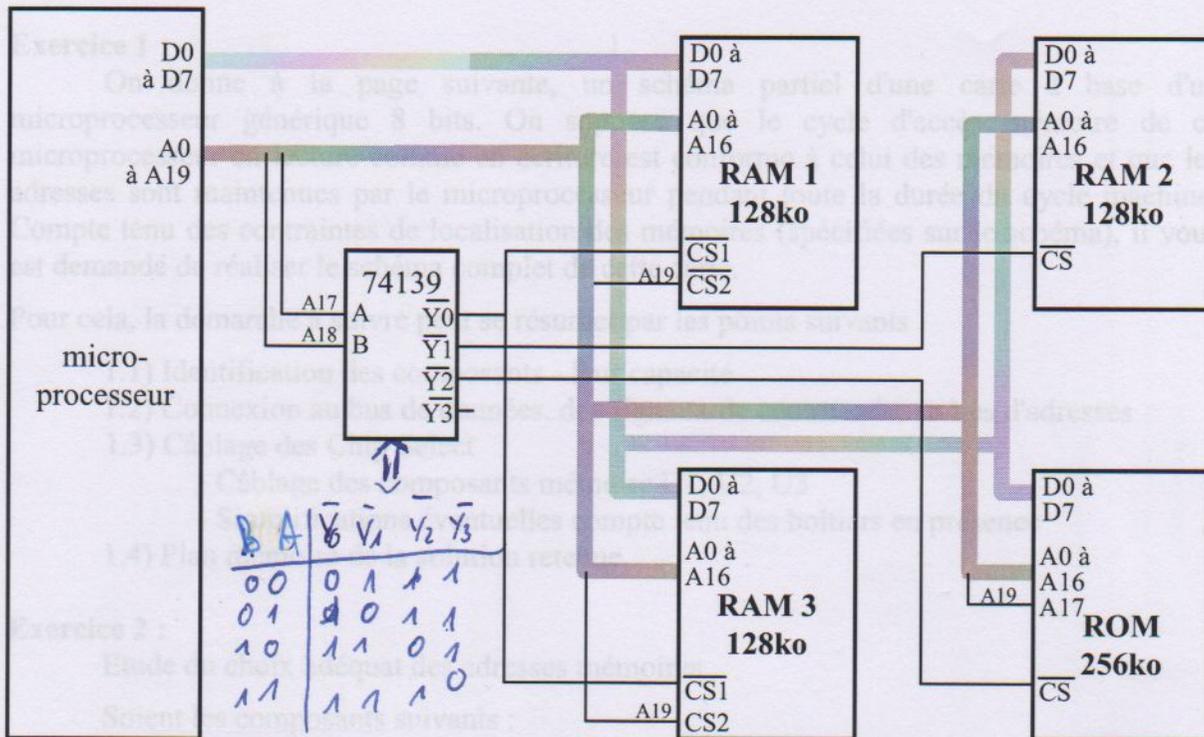


**Mapping mémoire :**  
 U1 : @\$8000...\$FFFF  
 U2 : @\$0000...\$3FFF  
 U3 : @\$7800...\$7FFF

Titre		Décodage d'adresses	
Size	A	Document Number	(Doc)
Date:	Tuesday, December 04, 2001	Sheet	1 of 1

### Exercice 3 :

Soit le schéma suivant d'une carte à base d'un microprocesseur associé à 4 boîtiers mémoire dont 3 RAM de 128ko et 1 ROM de 256ko :



Seule une partie du câblage a été représentée ; il manque ainsi certains signaux de contrôle tels que celui d'écriture et de lecture.

3.1) A partir de ce schéma, compléter le tableau suivant et en déduire l'organisation de la mémoire de cette carte :

adresse	Signaux A19-A17	RAM 1		RAM 2	RAM 3		ROM	Mémoire concernée
		CS1	CS2	CS	CS1	CS2	CS	
00000h à 1FFFFh	000	0	0	1	0	0	1	1
20000h à 3FFFFh	001	1	0	0	1	0	1	2
40000h à 5FFFFh	010	1	0	1	1	0	0	ROM *
60000h à 7FFFFh	011	1	0	1	1	0	1	—
80000h à 9FFFFh	100	0	1	1	0	1	1	3
A0000h à BFFFFh	101	1	1	0	1	1	1	2
C0000h à DFFFFh	110	1	1	1	1	1	0	ROM *
E0000h à FFFFFh	111	1	1	1	1	1	1	—

3.2) Pour les deux cas signalés d'une étoile (\*), donner la correspondance entre l'adresse du bus d'adresses et celle de la cellule mémoire du boîtier.

adresse du bus d'adresses	adresse de la cellule mémoire
40000h à 5FFFFh	00000 à 1FFFF
C0000h à DFFFFh	20000 à 3FFFF

3.3) Le microprocesseur effectue les opérations suivantes :

- écriture de la valeur 12h à l'adresse 21000h,
  - écriture de la valeur 34h à l'adresse A1000h,
  - lecture de l'adresse 21000h,
  - lecture de l'adresse A1000h.
- lecture 2 fois 34*

Quelles sont les deux valeurs lues ?